



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0076287
Application Number

출원 년 월 일 : 2002년 12월 03일
Date of Application DEC 03, 2002

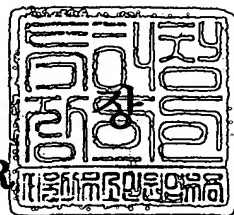
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.03
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) 신영
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 트랜지스터나 플래시 메모리 셀과 같은 반도체 소자의 문턱 전압을 조절하기 위한 이온 주입 공정 시 균일도를 확보할 수 있는 최소량의 불순물을 주입한 후 세정 공정으로 주입된 불순물을 아웃 디퓨전(Out diffusion)시켜 불순물의 잔류량을 조절함으로써 주입된 불순물의 균일한 분포 특성을 확보하면서 낮은 동작 전압의 트랜지스터나 플래시 메모리 셀을 제조할 수 있는 반도체 소자의 제조 방법이 개시된다.

【대표도】

도 1f

【색인어】

문턱 전압, 불순물, 이온 주입, 세정 공정, 동작 전압, 분포 특성

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법(Method of manufacturing a semiconductor device)

【도면의 간단한 설명】

도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도들이다.

도 2는 도 1b에서 불순물의 농도를 조절한 후 깊이에 따른 불순물 분포 특성을 보여주는 특성 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판 102 : 웰

103 : 이온 주입층 104 : 터널 산화막

105 : 제1 폴리실리콘층 106 : 소자 분리막

107 : 유전체막 108 : 제2 폴리실리콘층

109 : 실리사이드층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 트랜지스터나 메모리 소자의 문턱 전압을 조절하기 위한 이온 주입층을 균일도를 향상시켜 소자의 낮은 동작 전압을 확보할 수 있는 반도체 소자의 제조 방법에 관한 것이다.
- <10> 반도체 소자를 형성하기 위해서는 증착 공정, 식각 공정뿐만 이온 주입 공정을 필수적으로 실시하여야 한다.
- <11> 이 중에서도, 플래시 메모리 소자의 제조 공정을 간략하게 설명하면 다음과 같다. 먼저, 이온 주입 공정으로 활성 영역에 웰과 문턱 전압 조절용 이온 주입층을 순차적으로 형성하고, 터널 산화막 및 제1 폴리실리콘층의 적층 구조를 워드 라인 방향과 수직 방향의 패턴으로 형성한 후, 유전체막 및 제2 폴리실리콘층을 순차적으로 형성한다. 이어서, 제2 폴리실리콘층 및 유전체막으로 패터닝하여 콘트롤 게이트를 형성하고 제1 폴리실리콘층을 패터닝하여 플로팅 게이트를 형성함으로써 플래시 메모리 소자가 제조된다.
- <12> 상기에서, 소자 분리막은 터널 산화막 및 제1 폴리실리콘층을 형성하고 제1 폴리실리콘층 상부에 패드 질화막을 형성한 상태에서 패터닝 공정으로 제1 폴리실리콘층 및 터널 산화막을 패터닝하면서 트렌치를 형성하고 절연 물질을 매립하여 형성한다. 이렇게, SA-STI(Self Aligned-Shallow Trench Isolation) 구조를 적용하여 소자 분리막을 형성하

면 터널 산화막의 손상을 최소화하고 터널 산화막이 너무 얇게 형성되는 것을 방지할 수 있다.

<13> 한편, 상기의 공정을 이용하여 NAND형 플래시 소자에서 X 디코더(Decoder)용 트랜지스터와 셀 트랜지스터로 사용할 고전압 NMOS 트랜지스터를 제조하는 경우에는, p-웰 영역과 접합 영역에 고전압이 인가되기 때문에 소오스/드레인 접합 영역을 일반적인 플러스(Plus) 접합으로 형성하지 못하고 DDD(Double Doped Drain) 접합 공정과 플러그 아온 주입 공정을 이용하여 소오스/드레인 접합을 형성한다. 그러나, 이러한 DDD 접합 역시 고전압 인가에 대한 브레이크다운 전압(Breakdown voltage) 특성을 향상시키기 위하여 불순물의 주입량을 줄여야 한다. 이로 인해, 트랜지스터에서 요구되는 1.0V 이하의 동작 전압이 높아질 뿐만 아니라, 채널 영역의 문턱 전압을 조절하기 위해 주입되는 불순물의 양으로도 1.0V 이하의 동작 전압을 확보하기가 어렵다. 또한, 일반적으로 중간 전류 이온 주입기(Medium current ion implanter)를 이용하여 문턱 전압 조절용 이온주입층을 형성하고 있으나, 균일한 이온 주입 분포를 확보하는데 필요한 최소한의 이온 주입을 통한 문턱 전압을 조절함에 있어서 1.0V 이하의 동작 전압을 확보하기가 더욱 더 힘들다.

【발명이 이루고자 하는 기술적 과제】

<14> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 트랜지스터나 플래시 메모리 셀과 같은 반도체 소자의 문턱 전압을 조절하기 위한 이온 주입 공정 시 균일도를 확보할 수 있는 최소량의 불순물을 주입한 후 세정 공정으로 주입된 불순물을 아웃 디퓨전(Out diffusion)시켜 불순물의 잔류량을 조절함으로써 주입된 불순물의 균일한 분포 특

성을 확보하면서 낮은 동작 전압의 트랜지스터나 플래시 메모리 셀을 제조할 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <15> 본 발명의 실시예에 따른 반도체 소자의 제조 방법은 반도체 소자를 형성하기 위하여 소정의 공정이 진행된 반도체 기판이 제공되는 단계와, 이온 주입 공정으로 이온 주입층을 형성하는 단계 및 세정 공정으로 이온 주입층의 불순물 농도를 조절하는 단계를 포함한다.
- <16> 상기에서, 이온 주입층은 5 내지 50keV의 에너지로 $1E11$ 내지 $1E13$ ion/cm²의 불순물을 주입하여 형성할 수 있다. 이때, 불순물로 붕소를 주입할 수 있으며, 불순물은 3 내지 13도의 각도로 주입할 수 있다.
- <17> 한편, 세정 공정은 불산 계열을 용액을 이용하여 실시하며, 세정 공정으로 불순물을 아웃 개성시켜 불순물의 농도를 감소시킨다. 이때, 불산 계열의 용액은 원액을 그대로 H₂O:HF가 1:1 내지 50:1의 비율로 혼합되어 희석된 불화수소산을 사용할 수 있다. 이러한, 세정 공정은 용액의 농도나 진행 시간을 조절하여 잔류하는 불순물의 농도를 조절할 수 있으며, 세정 공정 시 SC-1(NH₄OH/H₂O₂/H₂O) 용액을 함께 첨가하여 반도체 기판 표면의 자연 산화막을 제거해줌으로써 불순물의 아웃개성을 활성화할 수 있다.
- <18> 불순물의 농도를 조절한 후에는, 반도체 기판 상부에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 패터닝을 실시하는 단계와, 반도체 기판의 소자 분리 영역에 소자 분리막을 형성하는 단계와, 반도체 기판의 전체 상부에 유전

체막, 제2 폴리실리콘층 및 실리사이드층을 순차적으로 형성하는 단계와, 콘트롤 게이트 마스크를 이용한 식각 공정으로 실리사이드층, 제2 폴리실리콘층 및 유전체막을 순차적으로 패터닝하는 단계와, 자기 정렬 식각 공정으로 제1 폴리실리콘층을 패터닝하는 단계 및 제1 폴리실리콘층 주변의 반도체 기판에 소오스/드레인을 형성하는 단계를 더 포함할 수 있다. 이때, 소오스/드레인은 DDD 정션 구조로 형성할 수 있다.

<19> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<20> 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 소자의 단면도들이다.

<21> 도 1a를 참조하면, 이온 주입 공정으로 반도체 기판(101)에 웰(102)을 형성한다. 이어서, 트랜지스터나 플래시 메모리 셀과 같은 반도체 소자의 문턱 전압을 조절하기 위하여 이온 주입 공정으로 웰(102)의 소정 깊이내 이온 주입층(103)을 형성한다. 여기서, 웰(102)은 후속 공정에서 형성될 반도체 소자의 동작 전압에 따라 트리플 웰 구조나 단일 웰 구조로 형성할 수 있으며, 고전압 NMOS 트랜지스터가 형성될 영역에는 이온 주입을 실시하지 않고 p타입 기판 자체를 웰과 같이 사용할 수도 있다.

- <22> 한편, 문턱 전압을 조절하기 위한 이온 주입층(103)은 5 내지 50keV의 에너지로 $1E11$ 내지 $1E13$ ion/cm²의 불순물을 주입하여 형성할 수 있다. 이때, 불순물로는 붕소를 주입할 수 있으며, 불순물 주입에 의해 채널링(Channeling)이 발생하는 것을 방지하기 위하여 3 내지 13도의 각도로 불순물을 주입할 수도 있다.
- <23> 도 1b를 참조하면, 후속 공정에서 형성될 트랜지스터나 플래시 메모리 셀의 문턱 전압을 조절하여 위하여 이온 주입층(103)의 불순물 농도를 감소시킨다. 여기서, 이온 주입층(103)의 불순물 농도는 세정 공정으로 붕소를 아웃개싱(Out gassing)시켜 감소시킬 수 있는데, 세정 공정은 불산(HF) 계열의 용액을 원액으로 사용하거나 H₂O:HF가 1:1 내지 50:1의 비율로 혼합되어 희석된 불화수소산(Diluted HF)을 사용하여 실시할 수 있다. 이러한 세정 공정은 용액의 농도나 진행 시간을 조절함으로써 잔류하는 불순물의 농도를 조절할 수도 있다. 한편, SC-1(NH₄OH/H₂O₂/H₂O) 용액을 함께 첨가하여 기판(101) 표면의 자연 산화막을 제거해줌으로써 붕소의 아웃개싱(Out gassing)을 활성화할 수 있다.
- <24> 이렇게, 문턱 전압 조절용 이온 주입층(103)의 불순물 농도를 세정 공정으로 감소시킬 경우 불순물 분포 특성은 다음과 같다. 도 2는 도 1b에서 불순물의 농도를 조절한 후 깊이에 따른 불순물 분포 특성을 보여주는 특성 그래프이다.
- <25> 도 2를 참조하면, 정상적으로 불순물 주입 공정이 진행된 후에는 제1 곡선(201)과 같은 불순물의 분포 특성이 나타난다. 이후, 불순물의 활성화를 위하여 급속 열처리를 실시할 경우에는 제2 곡선(202)과 같은 불순물의 분포 특성이 나타난다. 한편, 상기에서와 같이, 세정 공정으로 이온 주입층(103)의 불순물 농도를 조절한 경우에는 제3 곡선

(203)과 같은 불순물의 분포 특성이 나타난다. 제2 곡선(202)과 제3 곡선(203)의 특성을 비교해보면, 세정 공정으로 불순물의 농도를 낮춘 경우와 급속 열처리를 실시한 경우는 불순물의 농도에만 차이가 있을 뿐 분포 특성은 거의 유사한 패턴임을 알 수 있다. 이렇게, 동일한 분포 패턴으로 균일한 분포 특성을 확보하면서 불순물의 농도만을 낮춤으로써, 소자의 동작 전압을 1.0V 이하로 낮추는 것이 가능해진다.

<26> 이어서, 웰(102)이 형성된 반도체 기판(101)에 트랜지스터나 플래시 메모리 셀을 형성할 수 있으며, 플래시 메모리 셀을 형성하는 경우를 설명하면 다음과 같다.

<27> 도 1c를 참조하면, 반도체 기판(101) 상부에 터널 산화막(104) 및 플로팅 게이트를 형성하기 위한 제1 폴리실리콘층(105)을 순차적으로 형성한다. 여기서, 터널 산화막(104)은 750 내지 800℃의 온도에서 습식 산화 공정으로 형성한 후 900 내지 910℃의 온도에서 질소 분위기로 20 내지 30분간 어닐링을 실시하여 반도체 기판(101)과 터널 산화막(104)의 계면 결함 밀도를 최소화한다. 한편, 제1 폴리실리콘층(105)은 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 580 내지 620℃의 온도와 0.1 내지 3Torr의 낮은 압력 조건에서 LP-CVD(Low Pressure Chemical Vapor Deposition)법으로 그레인 사이즈(Grain size)가 최소화된 도프트(Doped) 폴리실리콘층으로 형성한다. 이때, 도프트 폴리실리콘층의 불순물(P) 농도를 $1.5\text{E}20$ 내지 $3.0\text{E}20$ atoms/cc의 레벨로 조절하며, 250 내지 500 Å의 두께로 형성한다.

<28> 도 1d를 참조하면, 제1 폴리실리콘층(105) 상부에 소자 분리 영역이 정의된 패드 질화막(도시되지 않음)을 형성한 후, 제1 폴리실리콘층(105) 및 터널 산화막(104)을 순차적으로 패터닝한다. 이때, 패드 질화막은 LP-CVD법을 이용하여 900 내지 2000 Å의 두께로 형성할 수 있다. 이어서, 소자 분리 영역의 기판(101)을 식각하여 트렌치를 형성한

후 절연 물질을 매립하여 STI(Shallow Trench Isolation) 구조의 소자 분리막(106)을 형성한다.

<29> 도 1e를 참조하면, 패드 질화막을 제거한 후 유전체막(107), 콘트롤 게이트를 형성하기 위한 제2 폴리실리콘층(108) 및 실리사이드층(109)을 순차적으로 형성한다. 이때, 유전체막(107)을 형성하기 전에 플로팅 게이트의 커플링 비(Coupling ratio)를 증가시키기 위하여 제1 폴리실리콘층(105) 상부에 폴리실리콘층을 추가로 형성할 수도 있다. 이어서, 콘트롤 게이트 마스크를 이용한 식각 공정으로 실리사이드층(109), 제2 폴리실리콘층(108) 및 유전체막(107)을 순차적으로 패터닝한 후, 자기 정렬 식각 공정으로 제1 폴리실리콘층(105)을 패터닝한다.

<30> 상기에서, 제1 폴리실리콘층(105) 상부에 추가로 형성되는 폴리실리콘층은 00 내지 1000Å의 두께로 형성할 수 있다. 한편, 유전체막(107)은 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 가 순차적으로 적층된 ONO 구조로 형성할 수 있다. 이때, SiO_2 막은 내압 특성과 TDDB(Time Dependent Dielectric Breakdown) 특성이 우수한 DCS(SiH_2Cl_2)와 N_2O 가스를 소오스 가스로 사용하여 형성한 HTO(Hot Temperature Oxide)막을 35 내지 60Å의 두께로 형성하며, 600 내지 700°C의 로딩온도에서 반도체 기판을 챔버로 장착한 후 0.1 내지 3Torr의 낮은 압력과 810 내지 850°C의 온도에서 LP-CVD법으로 형성한다. 한편, Si_3N_4 막은 50 내지 65Å의 두께로 형성하며, NH_3 및 DCS 가스를 이용하여 1 내지 3Torr의 압력과 650 내지 800°C의 온도에서 LP-CVD법으로 형성한다.

<31> 도 1f를 참조하면, 제1 폴리실리콘층(105) 주변의 기판(101)에 소오스/드레인(110)을 형성한다. 이때, 소오스/드레인(110)은 DDD(Double Doped Drain) 정션 구조로 형성하여 고전압에 대한 브레이크다운 전압(Breakdown voltage)을 증가시킬 수 있다. 이렇게,

고전압 반도체 소자를 제조하기 위하여 소오스/드레인(110)을 DDD 정션 구조로 형성할 경우, 일반 전압으로 동작하는 반도체 소자의 채널 정션(Channel junction) 내에는 더욱 낮은 포지티브 타입(Positive type)의 도핑이 요구된다.

<32> 이로써, 동작 전압이 낮은 플래시 메모리 셀이 제조된다.

<33> 상기에서 서술한 문턱전압 조절용 이온주입층의 불순물 농도를 조절하는 공정은 문턱전압 조절용 이온주입층에만 한정되어 적용되는 것이 아니라, 이온주입 공정을 실시한 후 불순물을 농도를 조절하고자 하는 모든 공정에 적용될 수 있다.

【발명의 효과】

<34> 본 발명은 상기에서 서술한 방법을 통해 다음과 같은 효과를 얻을 수 있다.

<35> 첫째, 세정 공정으로 문턱전압 조절용 이온 주입층의 농도를 낮춤으로써 우수한 분포 특성을 유지하면서 이온 주입층을 최소의 주입량으로 형성할 수 있다.

<36> 둘째, 종래에는 문턱전압을 조절하기 위하여 주입된 불순물의 TED(Transient Enhanced Diffusion) 현상을 억제할 수 없었고, 채널 정션(Channel junction) 내에 얕은(Shallow) 채널을 형성하기 위하여 BF_2 를 주입하면 F의 아웃 개싱에 의하여 터널 산화막이나 게이트 산화막의 막질이 저하되는 것을 방지하기 어려웠으나, 본 발명은 표면을 기준으로 한 아웃 개싱(Surface focus out gassing)에 의해 봉소의 주입만으로도 TED 현상이나 산화막의 막질이 저하되는 것을 방지할 수 있다.

<37> 셋째, 유효 채널 길이(Effective channel length) 내에 가파른 문턱전압 조절용 불순물 분포 특성(V_t adjust profile)으로 인하여, 향후 FN 터널링을 이용하는 NAND 플래

시 소자의 홀 이펙트에 의한 산화막의 막질 저하를 예방함으로써, 뛰어난 데이터 보존 (Retention) 특성을 확보할 수 있다.

<38> 넷째, 문턱전압 조절용 불순물의 잔류량(Retained dose)을 증가시키는 원인을 제공함으로써, 현재의 순수 열산화막(Pure thermal oxide)뿐만 아니라, 향후 NO 게이트와 같은 산화막에도 탄력적인 대체가 가능하다.

【특허청구범위】**【청구항 1】**

반도체 소자를 형성하기 위하여 소정의 공정이 진행된 반도체 기판이 제공되는 단계;

이온 주입 공정으로 이온 주입층을 형성하는 단계; 및

세정 공정으로 상기 이온 주입층의 불순물 농도를 조절하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 이온 주입층은 5 내지 50keV의 에너지로 $1E11$ 내지 $1E13$ ion/cm²의 불순물을 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 불순물은 붕소인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 2 항 또는 제 3 항에 있어서,

상기 불순물은 3 내지 13도의 각도로 주입되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 세정 공정은 불산 계열을 용액을 이용하여 실시하며, 상기 불순물을 아웃 개싱시켜 불순물의 농도를 감소시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 불산 계열의 용액은 원액을 그대로 $H_2O:HF$ 가 1:1 내지 50:1의 비율로 혼합되어 희석된 불화수소산(Diluted HF)을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1 항 또는 제 5 항에 있어서,

상기 세정 공정은 용액의 농도나 진행 시간을 조절하여 잔류하는 불순물의 농도를 조절하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 1 항 또는 제 5 항에 있어서,

상기 세정 공정 시 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 용액을 함께 첨가하여 상기 반도체 기판 표면의 자연 산화막을 제거해줌으로써 상기 불순물의 아웃개싱을 활성화하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서, 상기 불순물의 농도를 조절한 후에,

상기 반도체 기판 상부에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 패터닝을 실시하는 단계;

상기 반도체 기판의 소자 분리 영역에 소자 분리막을 형성하는 단계;

상기 반도체 기판의 전체 상부에 유전체막, 제2 폴리실리콘층 및 실리사이드층을 순차적으로 형성하는 단계;

콘트롤 게이트 마스크를 이용한 식각 공정으로 상기 실리사이드층, 상기 제2 폴리실리콘층 및 상기 유전체막을 순차적으로 패터닝하는 단계;

자기 정렬 식각 공정으로 상기 제1 폴리실리콘층을 패터닝하는 단계; 및

상기 제1 폴리실리콘층 주변의 상기 반도체 기판에 소오스/드레인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

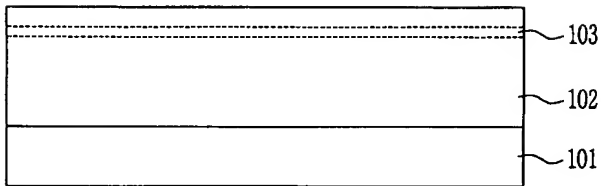
【청구항 10】

제 9 항에 있어서,

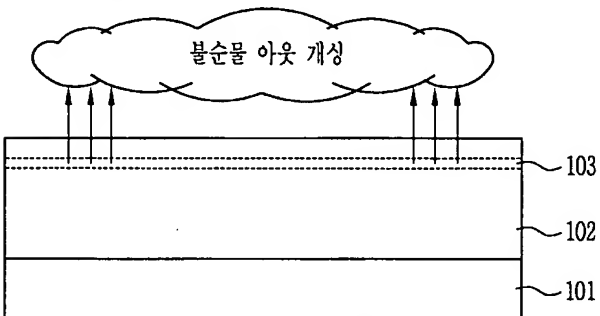
상기 소오스/드레인은 DDD 정션 구조로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

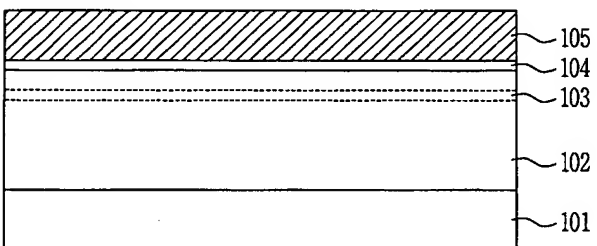
【도 1a】



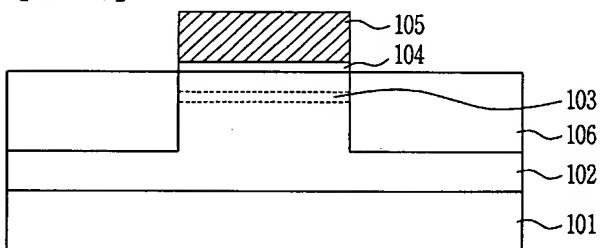
【도 1b】



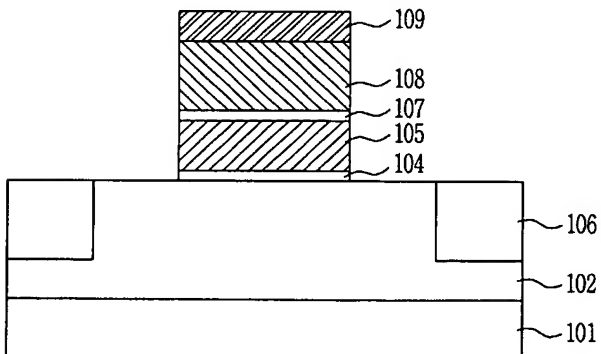
【도 1c】



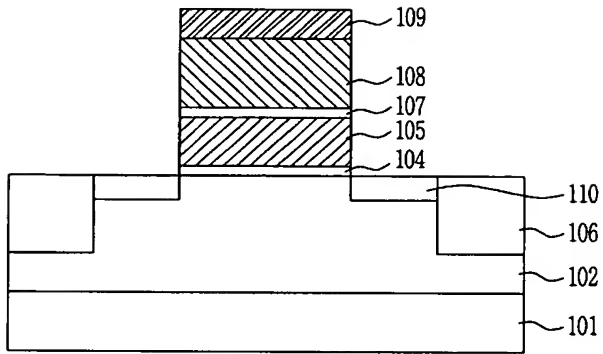
【도 1d】



【도 1e】



【도 1f】



【도 2】

